

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

BEST AVAILABLE COPY

003747578

WPI Acc No: 1983-743781/198334

XRAM Acc No: C83-080138

XRPX Acc No: N83-148035

Scattering reflection surface mfr. on semiconductor wafer - by forming aluminium (alloy) wiring layer, forming interlayer and punching, forming second wiring layer and photoetching

Patent Assignee: SUWA SEIKOSHA KK (SUWA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 58118691	A	19830714				198334 B

Priority Applications (No Type Date): JP 821162 A 19820107

Patent Details:

Patent No	Kind	Lat	Pg	Main IPC	Filing Notes
JP 58118691	A		3		

Abstract (Basic): JP 58118691 A

A first wiring layer of Al or its alloy is formed on a semiconductor wafer, an interlayer film is deposited on the first wiring layer and punched, and then the second layer of Al or its alloy is deposited on said interlayer film and etched by a photoetching method using a mask for forming a scattering reflection face.

Method provides a highly effective scattering reflection face on a semiconductor wafer, and in the first wiring layer of Al or its alloy, no disconnection and no interlayer leak occur. Also, alignment can be easily attained, because the scattering reflection face is formed on the second layer of Al or its alloy. Used for mfr. of scattering reflection plate for television picture display IC, etc..

0/3

Title Terms: SCATTERING; REFLECT; SURFACE; MANUFACTURE; SEMICONDUCTOR;

WAFER; FORMING; ALUMINIUM; ALLOY; WIRE; LAYER; FORMING; INTERLAYER; PUNCH

; FORMING; SECOND; WIRE; LAYER; PHOTOETCHING

Derwent Class: L03; P81; P85

International Patent Class (Additional): G02F-001/13; G09F-009/35

File Segment: CPI; EngPI

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)⑪ 特許出願公開
昭58-118691⑤ Int. Cl.³
G 09 F 9/35
// G 02 F 1/133

識別記号

庁内整理番号
7520-5C
7348-2H⑬ 公開 昭和58年(1983)7月14日
発明の数 1
審査請求 未請求

(全 3 頁)

④ 半導体基板上の散乱性反射面の製造方法

② 特 願 昭57-1162
② 出 願 昭57(1982)1月7日
② 発明者 朝比奈通雄
諏訪市大和3丁目3番5号株式会社諏訪精工舎内
株式会社諏訪精工舎
東京都中央区銀座4丁目3番4
号
④ 代 理 人 弁理士 最上務

BEST AVAILABLE COPY

明細書

1. 発明の名称 半導体基板上への散乱性反射面の製造方法

2. 特許請求の範囲

(1) 半導体基板上に、第1層Al_xSi_{1-x}合金配線を形成する手段と、該配線上に層間膜を形成し、穴あけする手段と、第2層Al_xSi_{1-x}合金膜を形成し、表面エッチングする手段よりなる半導体基板上への散乱性反射面の製造方法。

(2) 第2層Al_xSi_{1-x}合金膜を、散乱反射面形成用マスクで、ホトエッチングすることを特徴とした、第一項記載の半導体基板上への散乱性反射面の形成方法。

3. 発明の詳細な説明

本発明は、半導体集積回路によつて、基板上へのスイッチング用トランジスタを、マトリックス上に形成し、この基板と透明ガラスとの

間に、荷電を挿入したテレビ画像表示IC内の散乱性反射面の製造方法に関するものである。第1段に従来の半導体基板上への散乱反射面形成方法の一例を示した。即ち1枚、不純物ドープ日本導基板、2枚、アクリティブ駆動形用LOCOS、3、4枚、TFT、画面コンデンサー11枚用のゲート氧化膜とポリシリコン膜である。6枚、第1層配線のAl膜で、デボ状態の鏡面では、散乱反射が見られないもので、デボ後、表面をエッチングし、凸凹面をつくる。この時、ポリシリコンの駆動部、コンタクト部は、デボ時でもつきまわりが悪い上、エッチング速度も、局部的に違ひ、表面エッチすると、非常に断続し易い。又表面が剥離している為、微細パターンのアライメントがしにくく、エッチングもサイドエッチングが大きいという欠点を持つ。

次に、層間膜7をデボ、穴あけ後、第2層Al_xSi_{1-x}をデボ、ホトエッチ後バウミベーシヨン膜9を形成するわけであるが、第1Al_xSi_{1-x}が剥離している為、層間膜耐圧が低下するという欠点があつた。本発

明け、従来の欠点を一掃し、さらに散乱反射特性も、改善した型造方法を提供するものである。

本発明の骨子は、散乱反射面を、第2層AL上で形成するというものであり、その内容を実施例で説明していく。

実施例1.

第2図は、本発明の一例の断面図であり、コンタクトホトエフチまで。従来と同じ工程で、第1AL層形成後の表面をエッチングする。この為第1AL12は、断線が殆んど生じない。次に層間膜13をデボツクスルを行なう。次いで第2AL14を1μデボし、表面層を0.5μエッチングする。この表面エフチにより、散乱反射面を形成し、従来の第1AL表面エフチと同効果を生じさせる。第2AL14は、面張コンデンサー部の第1ALを層間膜上へひきだすだけなので、デザインホールもゆるく、断線、ショートしても、問題が少ないので、又層間膜の耐圧、リードにも悪影響を与えない。最後にバッシャーシヨン膜15をデボし工程を終了する。

第2図は、本発明方式によるIC断面図。

第3図は、本発明方式による散乱性反射面の大断面図である。

- 1 … D1 膜
- 2 … LOCOS
- 3 … ゲート膜
- 4 … ポリシリコン膜
- 5 … 第2フィールド膜
- 6 … 第1AL表面エフチ膜
- 7 … 層間膜
- 8 … 第2AL膜
- 9 … バッシャーシヨン膜
- 10 … TR部
- 11 … 面張コンデンサー部
- 12 … 第1AL膜
- 13 … 層間膜
- 14 … 第2AL散乱性反射面
- 15 … バッシャーシヨン膜
- 16 … 入射光
- 17 … 散乱反射光

特開昭58-118691(2)

実施例2

第1AL層として、AL-81(2μ)膜を、1μスパンタでデボ、層間膜ノンドープ810、を1μデボ、次に後、第2層AL-81(2μ)膜を1μデボ後、散乱反射用の、横円形状のパターンがランダムに配列したマスクで0.5μエッチングする。エッティング断面形状は、第3図の如く反射面がパターン周辺に形成され、入射光16がほどよく散乱反射17する。

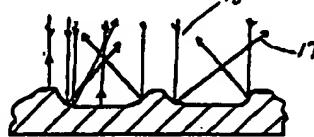
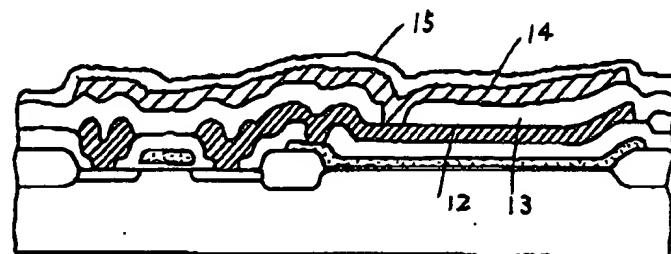
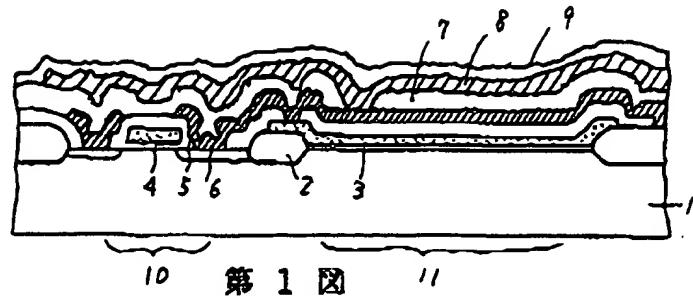
以上本発明を実施例で説明してみたが、従来の散乱反射面を、比較的バッフェルのゆるく、しかも掩蔽工程に近い第2AL層で形成している為、従来の第1AL層での断線、層間リード、アライメントのしにくさなどがなくなり、効果的な、散乱性反射面を、具備することが出来るものである。

4 図面の簡単な説明

第1図は従来方式の散乱性反射面を有したIC断面図である。

BEST AVAILABLE COPY

特開昭58-118691(3)



BEST AVAILABLE COPY